

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-145509

(43)Date of publication of application : 11.06.1993

(51)Int.Cl.

H04J 3/07

(21)Application number : 04-099998

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 20.04.1992

(72)Inventor : OIKAWA HIROSHI

(30)Priority

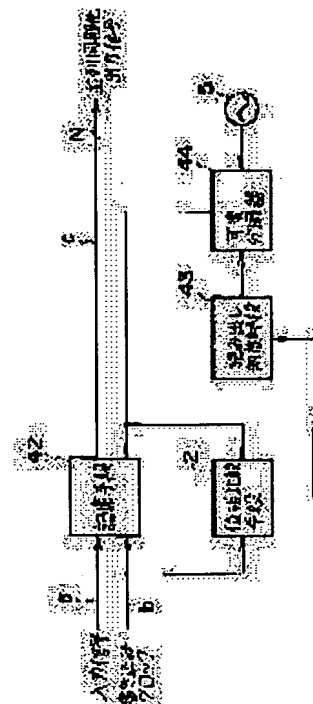
Priority number : 03118537 Priority date : 23.05.1991 Priority country : JP

(54) PARALLEL STUFF SYNCHRONIZATION SYSTEM

(57)Abstract:

PURPOSE: To obtain the stuff synchronization system in which the margin on the circuit design is also improved and the power consumption is reduced by forming the system with elements at a low speed operation even when a high speed signal is synchronized.

CONSTITUTION: A read control means 43 controls a variable frequency divider 44 based on the result of comparison between a write phase and a read phase to/from a storage means 42 by a phase comparator means 2 at a sender side. The storage means 42 writing an input signal (a) reads required bits in a same output timing respectively to each parallel synchronization output signal (c) to keep bit sequencing simultaneously. On the other hand, a write control means at a receiver side controls the write means. Then required bits in each parallel synchronization input signal (d) are written in the storage means simultaneously in the same input timing while keeping the bit sequence. Thus, the synchronization of the high speed signal is attained while keeping a low speed operation to each component.



LEGAL STATUS

[Date of request for examination] 06.02.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3031779

[Date of registration] 10.02.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



1 / 1

This Page Blank (uspto)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 1 4 5 5 0 9

(43) 公開日 平成 5 年 (1993) 6 月 11 日

(51) Int. Cl. ⁵

H 0 4 J 3/07

識別記号

庁内整理番号

F I

技術表示箇所

8843 - 5 K

審査請求 未請求 請求項の数 6

(全 2 7 頁)

(21) 出願番号 特願平 4 - 9 9 9 9 8

(22) 出願日 平成 4 年 (1992) 4 月 20 日

(31) 優先権主張番号 特願平 3 - 1 1 8 5 3 7

(32) 優先日 平 3 (1 9 9 1) 5 月 2 3 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 笈川 浩

神奈川県鎌倉市大船五丁目 1 番 1 号 三菱電

機株式会社通信システム研究所内

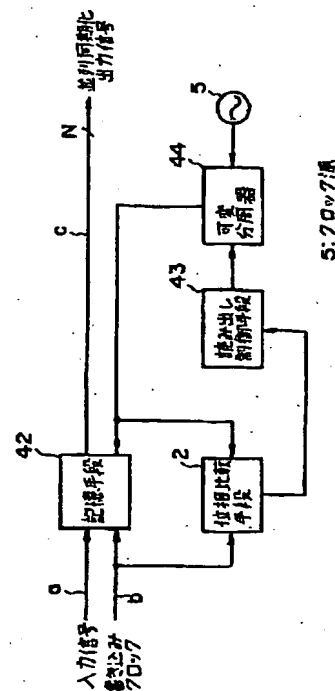
(74) 代理人 弁理士 吉田 研二 (外 2 名)

(54) 【発明の名称】 並列スタツフ同期方式

(57) 【要約】

【目的】 高速信号を同期化する場合でも、低速動作をする素子により構成し、消費電力を小さく、回路設計上の裕度も改善されるスタツフ同期方式を得る。

【構成】 送信側では、位相比較手段 2 による記憶手段 4 2 への書き込み位相と読み出し位相の比較結果から、読み出し制御手段 4 3 により、可変分周器 4 4 を制御し、入力信号 a を書き込んだ記憶手段 4 2 より、並列の同期化出力信号 c のそれぞれに同一の出力タイミングで必要なビットを、ビット順序を保って同時に読み出すように構成した。一方、受信側では、書き込み制御手段により、書き込み手段を制御し、同一の入力タイミングでそれぞれの並列同期化入力信号 d のうち、必要なビットを、ビット順序を保って、同時に記憶手段に書き込むように構成した。そのため、各構成素子には低速動作をさせたまま、高速信号の同期化が可能である。



(2)

特開平5-145509

2

【特許請求の範囲】

【請求項1】 デジタル信号にスタッフビットを付加することにより、前記デジタル信号を前記デジタル信号と独立のクロックに同期化して同期化信号を得、前記同期化信号を送信する送信側と、
前記同期化信号を受信して、元の前記デジタル信号を再生する受信側と、
を有するスタッフ同期方式において、
前記送信側は、
前記デジタル信号を一時的に蓄える送信側記憶手段と、
前記記憶手段に前記デジタル信号を順次書き込む送信側書き込み手段と、
前記記憶手段から複数ビットの前記デジタル信号を同時に読み出す送信側読み出し手段と、
前記記憶手段への書き込みタイミングと、前記記憶手段からの読み出しタイミングとを比較し、その比較結果に基づき前記送信側読み出し手段の読み出しアドレスを調整することにより、スタッフビットの挿入を制御する読み出し制御手段と、
を備え、前記送信側読み出し手段から並列の同期化信号を出力し、
前記受信側は、
前記並列の同期化信号を一時的に蓄える受信側記憶手段と、
前記並列の同期化信号から、スタッフビット以外の複数の情報ビットを前記記憶手段に同時に書き込む受信側書き込み手段と、
前記記憶手段から、書き込まれた前記情報ビットを順次読み出す受信側読み出し手段と、
前記並列の同期化信号から、書き込まれるべきビットと、削除すべきビットとを判定し、前記受信側書き込み手段を制御する書き込み制御手段と、
を備え、前記受信側読み出し手段から前記送信側に入力したデジタル信号を出力することを特徴とする並列型スタッフ同期方式。

【請求項2】 デジタル信号からスタッフビットを削除することにより、前記デジタル信号を前記デジタル信号と独立のクロックに同期化して同期化信号を得、前記同期化信号を送信する送信側と、
前記同期化信号を受信して、元の前記デジタル信号を再生する受信側と、

を有するスタッフ同期方式において、
前記送信側は、
前記デジタル信号を一時的に蓄える送信側記憶手段と、
前記記憶手段に前記デジタル信号を順次書き込む送信側書き込み手段と、
前記記憶手段から複数ビットの前記デジタル信号を同時に読み出す送信側読み出し手段と、
前記記憶手段への書き込みタイミングと、前記記憶手段からの読み出しタイミングとを比較し、その比較結果に

基づき前記送信側読み出し手段の読み出しアドレスを調整することにより、スタッフビットの削除を制御する読み出し制御手段と、
を備え、前記送信側読み出し手段から並列の同期化信号を出力し、
前記受信側は、
前記並列の同期化信号を一時的に蓄える受信側記憶手段と、
前記並列の同期化信号に、スタッフビットを付加して前記記憶手段に同時に書き込む受信側書き込み手段と、
前記記憶手段から、書き込まれた内容を順次読み出す受信側読み出し手段と、
前記並列の同期化信号に、スタッフビットを付加すべきか否かを判定し、前記受信側書き込み手段を制御する書き込み制御手段と、
を備え、前記受信側読み出し手段から前記送信側に入力したデジタル信号を出力することを特徴とする並列型スタッフ同期方式。

【請求項3】 請求項1または2記載の並列型スタッフ同期方式において、
前記送信側読み出し手段は、可変分周器を用いて構成されていることを特徴とする並列型スタッフ同期方式。

【請求項4】 請求項1または2記載の並列型スタッフ同期方式において、
前記受信側書き込み手段は、可変分周器を用いて構成されていることを特徴とする並列型スタッフ同期方式。

【請求項5】 請求項1または2記載のスタッフ同期方式において、
前記送信側は、前記送信側読み出し手段からの並列の同期化信号を直列の同期化信号に変換する並列直列変換手段、を有し、前記直列の同期化信号を出力し、
前記受信側は、前記直列の同期化信号を並列の同期化信号に変換する直列並列変換手段、を有し、前記変換された並列の同期化信号が、前記受信側記憶手段に書き込まれることを特徴とする並列型スタッフ同期方式。

【請求項6】 請求項3記載のスタッフ同期方式において、
前記送信側は、書き込みクロックと読み出しクロックとの位相を比較する位相比較手段を有し、
前記送信側読み出し手段は、前記位相比較手段からの位相差情報を調べることにより前記書き込みタイミングと読み出しタイミングの比較をし、その比較結果により、前記可変分周器の分周比を切り替えることを特徴とする並列型スタッフ同期方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ディジタル信号伝送におけるスタッフ同期方式及びこれに関連する装置に関する。

【0002】

(3)

特開平5-145509

3

【従来の技術】大量のデータをデジタル伝送する方式としては、時分割多重が広く知られている。時分割多重の対象となるのは信号源からの信号（以下、低速信号という）であり、送信側では、複数の低速信号を時分割多重してより高速の信号（以下、高速信号という）に変換する。受信側では、伝送される高速信号をもとの複数の低速信号に分離する。このような手法を用いることにより、必要な伝送路の数を減らすことができる。また、デジタル信号に変換した音声信号を直接時分割多重を除き、段階的な時分割多重が行われる。この場合、等しい速度の信号を数系統ずつ段階的に時分割多重する。このようにすると、最終的に、長距離区間の伝送速度として数Gbit/sの伝送速度が得られる。

【0003】ところで、時分割多重の対象となる複数の低速信号は、速度が互いに厳密に一致している必要がある。すなわち、各低速信号の周波数が同期していなければ、そのまま時分割多重を行うことができず、時分割多重の際にデータの過不足が生じてしまう。

【0004】このような不具合を避け正常な時分割多重を行う手段としては、各低速信号の基準となるクロック源を精密に同期させるという方法がある。しかし、高速伝送（数十Mbit/s～数Gbit/s）の場合、この方法を実施するには技術的・経済的な困難がある。すなわち、各低速信号毎にクロック源が異なるため、各クロック源に係る信号速度のずれを規定速度の数十ppmの範囲におさめることができるものの、正常な時分割多重に必要な程に速度を一致させることは難しい。

【0005】そこで、従来から、擬似的に信号速度を一致させ時分割多重による信号伝送を行う方式が開発されている。すなわち、時分割多重しようとする複数の低速信号の速度が僅かに異なる場合、これを必要な伝送区間において擬似的に速度が一致するよう、送信側で時分割多重を行って高速信号として伝送し、受信側ではこれを分離してもとの低速信号を復元するという方式がある。

【0006】スタンプ同期方式は、この種の方式の一つである。スタンプ同期方式は、スタンプイングの方法により正スタンプ同期方式、負スタンプ同期方式及び正負スタンプ同期方式に分類される。

【0007】正スタンプ同期方式においては、低速信号間の速度差を見込んで高速信号の速度を（低速信号の速度の規定値）×（時分割多重数）より若干高い値に設定する。すると、（高速信号の速度）／（時分割多重数）が各低速信号の速度より速くなる。スタンプ同期方式では、この速度差に対応すべくいわゆるスタンプイングを行っている。すなわち、送信側で低速信号に信号としては無意味な信号（スタンプ信号）を付加することにより、スタンプ信号付加後の低速信号の速度を（高速信号の速度）／（時分割多重数）に一致させ、受信側でスタンプ信号を削除して低速信号を再生する。

【0008】逆に、負スタンプ同期方式においては、高

4

速信号の速度を（低速信号の速度の規定値）×（時分割多重数）より若干低い値に設定する。すると、（高速信号の速度）／（時分割多重数）が各低速信号の速度より遅くなる。負スタンプ同期方式では、送信側で低速信号から信号を削除することにより低速信号の速度を（高速信号の速度）／（時分割多重数）に一致させ、削除した信号を受信側で挿入して低速信号を再生する。

【0009】そして、正負スタンプ同期方式においては、高速信号の速度を（低速信号の速度の規定値）×（時分割多重数）と等しく設定する。この場合、速度が（高速信号の速度）／（時分割多重数）より遅い低速信号については正スタンプ同期方式と同様のスタンプイングを、逆に速度が（高速信号の速度）／（時分割多重数）より速い低速信号については負スタンプ同期方式と同様のスタンプイングを、それぞれ行うことにより、低速信号を再生するようにしている。

【0010】このようなスタンプイングを伴う方式をスタンプ同期方式とよぶ。

【0011】図6及び図7には、一従来例に係る装置の構成が示されている。図6は、送信部の構成のうち多重化回路前段の構成を単一の低速信号について描いたものであり、図7は、受信部の構成のうち分離回路後段の構成を単一の低速信号について描いたものである。これらの図は、いずれも、「やさしいデジタル伝送」（山下 孚著、電気通信協会、オーム社、1984）に示されたものである。以下、従来のスタンプ同期方式についてまずこれらの図を用いて概略説明する。

【0012】まず、送信部を構成するバッファメモリ1は、速度変換用メモリである。バッファメモリ1には、入力信号aが書き込みクロックbにより書き込まれる。書き込みクロックbは低速であり、従って入力信号aは上に述べた低速信号に相当する。

【0013】この図においてはバッファメモリ1が1個のみ記されているが、実際の装置では、バッファメモリ1がK個（ $K \geq 2$ ）設けられ、各バッファメモリ1それぞれに異なる入力信号aが入力される。各バッファメモリ1への書き込みクロックbは、それぞれ周波数が調整されており、規格値内におさまるように設定されているが、直接多重化が可能な程には周波数が一致していない。従って、各入力信号aは規格範囲内でわずかに信号速度がずれた信号である。

【0014】バッファメモリ1には、図示しない多重化回路が接続される。多重化回路は、各バッファメモリ1から読み出される信号cを⑧：1で多重化し、伝送路に送出する。その際、上述のように、各バッファメモリ1上に書き込まれた入力信号aはその速度がわずかにずれており同期していないため、送信部では、次に述べる回路を用いて信号を同期化する。すなわち、信号cを、伝送路により伝送される信号（高速信号）と同期した低速

(4)

特開平5-145509

5

出力信号cの速度は(高速信号の速度)/Kとなるようにし、多重化回路は各バッファメモリ1からのK個の同期化出力信号cを時分割多重する。

【0015】バッファメモリ1に書き込まれている信号を、高速信号と同期し速度が(高速信号の速度)/Kである同期化出力信号cに変換するためには、(高速信号の速度)/Kの速度に係る読み出しクロックを発生させる手段が必要である。さらに、各バッファメモリ1に係る入力信号a間の速度差にもかかわらず正常な時分割多重を行うためには、(高速信号の速度)/Kと入力信号aの速度の差に応じてスタッピングを行う手段が必要である。前者は概ねクロック源5及び読み出しクロック発生回路4から構成され、後者は概ね位相比較器2及びスタップ制御回路3から構成される。

【0016】まず、クロック源5は、高速信号の速度と等しい速度のクロックを発生させる。読み出しクロック発生回路4は、クロック源5からの高速のクロックを分周することにより、読み出しクロックを発生させる。前述のように多重化回路においてK:1で多重化を行う場合、読み出しクロック発生回路4における分周比はKに設定される。これにより、読み出しクロックの速度は、(高速信号の速度)/Kに等しくなる。

【0017】正スタップ同期方式を実施する場合、高速信号の速度は、(入力信号aの速度の規格値)×Kより僅かに高くなるよう設定する。負スタップ同期方式を実施する場合、高速信号の速度は、(入力信号aの速度の規格値)×Kより僅かに低くなるよう設定する。正負スタップ同期方式を実施する場合、高速信号の速度は、(入力信号aの速度の規格値)×Kと等しく設定する。従って、読み出しクロックの速度=(高速信号の速度)/Kは書き込みクロックbの速度と一般に異なる値となる。

【0018】位相比較器2は、読み出しクロックと書き込みクロックbの速度差を、両者の位相比較により検出する手段である。書き込みクロックbによりバッファメモリ1上に書き込んだ入力信号aを読み出しクロックにより書き込み順で読み出す際、スタップ制御回路3は、位相比較器2により両者の位相関係が悪化したことが検出された場合、スタッピングを行う。

【0019】例えば、書き込みクロックbが読み出しクロックに比べ低速の場合、両者の位相が一致乃至はそれに近い状態になっている時点では、読み出しの際特に操作を行わずとも、正しく書き込み順に信号が読み出されるが、位相関係が悪化した場合、そのまま読み出しを行ったのではバッファメモリ1上の同一ビットを読み出すこととなる。このような場合、スタップ制御回路3は、スタップ信号(スタップビット)を読み出す信号に挿入する。すなわち、正スタップ同期を行う。

【0020】逆に、書き込みクロックbが読み出しクロックに比べ高速の場合、位相比較器2により位相関係の

6

悪化が検出されると、スタップ制御回路3はバッファメモリ1上の信号のうち所定の信号(スタップビット)を削除する。すなわち、負スタップ同期を行う。

【0021】なお、スタップビットを挿入/削除可能な位置は、同期化出力信号cが構成するフレーム中の所定の位置のみとする。さらに、このフレーム中には、スタップビットが挿入/削除されているか否かを示すスタップ指定ビットが含まれており、これにより、受信部がスタッピングの有無を知ることができる。

10 【0022】さらに、受信部は、図7に示されるような構成を備えている。この図は、分離回路(図示せず)後段の回路を、単一の低速信号について描いた図である。

【0023】まず、受信部は、バッファメモリ8を備えている。このバッファメモリ8は速度変換用メモリであり、並列同期化信号dを出力信号fに変換し書き込み順に出力する。並列同期化信号dは、図示しない分離回路により1:Kで高速信号を分離して得た並列の信号であり、単一のバッファメモリ8には並列同期化入力信号dのパラレルビットうち単一のビットを入力する。

20 【0024】また、受信部は、書き込みクロック発生回路6及びスタップ制御回路7を備えている。書き込みクロック発生回路6は、高速信号に同期し送信部から受信される受信クロックeにより、並列同期化入力信号dをバッファメモリ8に書き込む。その際、送信部においてスタッピングが行われているから、受信部ではこのスタッピングを解除(デスタッピング)する必要がある。デスタップ制御回路7はそのための回路であり、スタップ指定ビットに基づきスタップビットの有無を判定し、例えば正スタップ同期方式の場合にはスタップビットを削除して情報ビットのみをバッファメモリ8に書き込ませる。

30 【0025】ところで、並列同期化入力信号dは高速信号を分離して得た信号であるから、送信部の読み出しクロックと同期している。従って、受信部で送信部への入力信号aと同様の信号を再現するためには、デスタッピングのみでは足りず、速度変換を行う必要がある。出力信号fは、もとの入力信号aとほぼ同一の速度に変換した信号であり、この速度変換はバッファメモリ8からの読み出し及びそのクロック速度の制御により実行される。

40 【0026】バッファメモリ8からの読み出しクロックの速度制御は、スタップビットを除いたバッファメモリ8への書き込みクロック(デスタッピング後の受信クロックe)と、電圧制御発振器11により生成されるバッファメモリ8の読み出しクロックと、の位相比較、並びに電圧制御発振器11の発振周波数制御として実行される。すなわち、並列同期化入力信号dの周波数とスタップビットを除いたバッファメモリ8への書き込みクロックとは、局所的には同期しているが、長時間の平均としては一致していない。スタップビットを除いたバッ

↓
スタップ4-917
FIFO同期化
信号
同様に
簡便に

(5)

特開平5-145509

7

ァメモリ8への書き込みクロックは、長時間の平均では送信部への入力信号aに同期している。そこで、位相比較器9によりバッファメモリ8の書き込みクロックの位相と読み出しクロックの位相とを比較し、両者の位相がほぼ一致するよう、電圧制御発振器11に位相比較結果をフィードバックする。その際、低域ろ波器10を用いてPLL (Phase Locked Loop) を構成する。

【0027】このようにすると、互いに同期しておらず規格範囲内で速度がずれている複数の入力信号aを、擬似的に同期させた上で時分割多重し、受信部でこれを再現することが可能になる。

【0028】次に、この従来例の構成及び動作についてさらに詳細に説明する。

【0029】まず、前述したように、送信部から出力される高速信号は複数の入力信号aを時分割多重したものであるから、受信側において高速信号から低速信号を並列同期化入力信号dとして分離する際、各低速信号を識別する必要がある。また、受信部では、各低速信号毎に付加/削除されたスタッフ信号を識別する必要がある。そこで、送信部において各入力信号aの時分割多重を行う際、高速信号をそれぞれ複数の情報ビットを含み一定長を有する複数のフレームから構成し、各フレームを識別するための信号を付加する。この信号として通常用いられるのはフレーム同期信号であり、これは各フレームの先頭に挿入される。

【0030】このように、高速信号を複数のフレームから構成した場合、受信部では、フレーム同期をとるのみで、各低速信号を識別できる。フレーム同期をとる、とは、フレーム同期信号を検出し、フレームの先頭を識別することをいう。なお、高速信号の伝送速度は、フレーム同期信号を挿入した分だけ上昇する。

【0031】さらに、入力信号aを時分割多重する際、フレーム長（フレームを構成するビット数）が時分割多重数Kの整数倍であれば、高速信号を低速信号に分離する際の処理を単純化できる。すなわち、フレーム中のビット位置と入力信号aの系統とを容易に対応付けることができる。同様の理由から、フレーム同期信号のビット数も時分割多重数Kの整数倍に設定される。

【0032】フレーム長は、次の2点を勘案して設定する。第1に、フレーム長が短すぎるとフレーム同期信号の挿入に伴う高速信号の速度上昇が大きくなり、第2に、フレーム長が長すぎると障害時にフレーム同期をとりにくくなる。従って、フレーム長は両者のトレードオフにより決定し、高速信号の速度上昇を抑えつつフレーム同期のとり易さも確保できるようにする。通常は、フレーム長は数百～数千ビットである。

【0033】さらに、受信部のデスタッフ制御回路7においてスタッフビットの位置を好適に識別するためには、並列同期化信号dにおけるスタッフビットの位置をフレーム同期により知ることができるのが好ましい。そ

8

のため、スタッフビットの位置はフレーム中において規定される。また、この所定の位置にスタッフビットが挿入されているか否かは、スタッフ指定ビットにより示される。受信部のデスタッフ制御回路7は、スタッフ指定ビットに基づきスタッフ判定を行い、所定の位置にスタッフビットが挿入されているか否か（正スタッフの場合）、所定の位置から削除されているか否か（負スタッフの場合）、を識別する。フレーム中においてスタッフビットの位置を予め規定しておけば、フレーム同期をとることによりスタッフビットの位置を識別できる。なお、1フレーム中に挿入できるスタッフビットは、通常、低速信号1系統当たり1ビット、多い場合でも数ビットにとどまる。また、受信部ではスタッフ判定後にスタッフビットの削除を行うので、スタッフ信号の位置はスタッフ指定ビットの直後に設定する。さらに、スタッフ判定の誤りは、その低速信号全ての識別誤りにつながるため、スタッフビット1ビット当たり通常奇数ビットのスタッフ指定ビットを規定し、送信部では同一の値をかくビットに挿入し、受信部ではこのスタッフ指定信号の奇数ビットの情報に基づいて多数決によるスタッフ判定を行う。これによって、より確実な判定を実行することができる。

【0034】ところで、高速信号のフレーム中には、上述したスタッフビットやスタッフ指定ビットのほかに多重化区間の伝送誤りの監視や制御を行うための監視制御信号が挿入される。フレーム中には、これらの信号の挿入位置も規定されている。したがって、高速信号の各フレームを見ると、スタッフが行われないフレームにおいても、フレーム同期信号、スタッフ指定信号、監視制御信号等の規定された信号が挿入されており、スタッフが行われたフレームにおいては、フレーム同期信号、スタッフ指定信号、監視制御信号等の規定された信号が挿入されているのに加え、該当する低速信号にスタッフ信号が挿入されている。

【0035】図8には、前記「やさしいデジタル伝送」に開示されたフレーム構成の一例が示されている。ここに示されているフレームの構成例は、3系統の32.064Mb/sの信号を正スタッフ方式により97.728Mb/sの高速信号に多重するフレームの構成例である。

【0036】低速信号1系統あたりの速度は32.576Mb/sであり、本構成例においては3系統の低速信号を1ビットずつ多重した単位をGユニットと呼ぶ。また、64個の連続するGユニットをまとめてGフレームと呼び、各Gフレームの先頭のGユニット（3ビット）が、それぞれフレーム同期信号、スタッフ指定信号、監視制御用の信号である。さらに、6個の連続するGユニットをまとめてSフレームと呼び、このSフレームが、前述した説明中のフレームに相当する。高速信号の1個のSフレーム中のビット数は1536ビットである。

9

低速信号あたりの情報信号は378ビット、スタッフ信号挿入ビットは6番目のGフレームの2番目のGユニットの1ビット、スタッフ指定ビットはスタッフ信号1ビットあたり3ビットである。

【0037】フレーム同期信号は6ビットであり、その他に3ビットの監視制御信号が規定されている。スタッフが行われているフレームに対しては、その該当する低速信号のスタッフ指定ビット3ビットは“111”に設定され、スタッフが行われないフレームに対しては、

“000”と設定される。また、スタッフが行われた低速信号のそのフレーム中の情報信号は377ビットとなる。このフレーム構成は主に日本で使用されているものであるが、CCITTの勧告中においても規定されている。

【0038】次に、従来のスタッフ同期方式の具体的な回路構成例を図に基づいて説明する。

【0039】送信部

図9に従来のスタッフ多重回路の送信部のブロック図を示す。多重数をKとする。

【0040】クロック源14では、各部の動作の基準となる高速クロックを発生する。K分周器15において、高速クロックをK分周したクロックを生成する。フレームカウンタ16において、フレーム同期信号、スタッフ指定ビット、スタッフビット、その他の監視制御信号の挿入タイミング信号を生成する。フレームカウンタ16は、生成される高速信号のフレームの構成の基準となり、フレーム同期信号、スタッフ信号などの挿入タイミングは、各低速信号に共通である。パルス発生器17では、高速信号中のフレーム同期信号、スタッフ指定ビットのボタンを発生する。速度変換用メモリ12

(12-1~12-k、以下、この節において単にメモリと称する)において、入力される低速信号を、その信号に同期した低速クロックを書き込みクロックとして一旦メモリ12に書き込み、K分周器15からのクロックを読み出しクロックとしてメモリより読み出す。メモリ12は数ビットから数十ビットの容量をもつ一種のエラスティックメモリであり、シーケンシャルに書き込み、読み出しを行う。しかし、フレームカウンタ16からの挿入タイミング信号により、フレーム同期信号等の挿入タイミングにおいては、上記メモリ12からの読み出しは行われない。入力される各低速信号は、クロック源14からの高速クロックを分周したクロックとは非同期にメモリ12に書き込まれるので、メモリ12への書き込みタイミングと読み出しタイミングの相対関係は変動している。そこで、図示されていない位相比較器によってメモリ12への書き込みタイミングと読み出しタイミングが比較され、両タイミングがある基準より接近していると、この位相比較器はスタッフ要求を出力する。スタッフ要求は、出力された次のフレームにおいて、スタッフビットが挿入されるまで保持される。スタッフ要求が

(6)

特開平5-145509

10

出力された次のフレームにおいて、該当する低速信号に挿入されるスタッフ指定ビットをスタッフ挿入有に設定し、スタッフビット挿入タイミングではメモリ12からの読み出しを行わず、スタッフビットを挿入する。スタッフビットを挿入することにより、すなわちメモリ12からの読み出しを行わないことにより、メモリ12への書き込みタイミングと読み出しタイミングは再び離れることになる。スタッフビットの挿入が行われると、スタッフ要求は解除される。こうしてメモリ12から読み出されたK系統の低速信号は、クロック源14からのクロックにいわば擬似的に同期化され、時分割多重化することが可能である。このようにして擬似的に同期化された各低速信号を同期化低速信号(#1~#K)と呼ぶ。KマルチプレクサであるK:1多重化回路13においてK系統の同期化低速信号を時分割多重し、さらにパルス発生器17からのフレーム同期信号等を挿入することにより、送信部の最終出力である高速信号が得られる。

【0041】受信部

図10に従来のスタッフ多重回路の受信部のブロック図を示す。受信する高速信号の多重数は送信部と同様Kである。

【0042】フレーム先頭識別器21において、受信された高速信号からフレーム同期信号のボタンを検出し、フレームの先頭を検出する。フレームカウンタ22においては、フレーム先頭識別器21で検出したフレーム先頭を基準として、高速信号を各系統の低速信号に分離するための分離信号を生成すると共に、高速信号中に挿入されたフレーム同期信号、スタッフ指定信号、監視制御信号等を削除するための削除タイミング信号をも生成する。(Kマルチプレクサである)1:K分離回路18においては前記分離信号に基づき、高速信号がK系統の低速信号に分離される。K分周器20は高速クロックをK分周し、K分周されたクロックを生成する。前記分離された各低速信号(#1~#K)は、このK分周された高速クロックに同期しており、フレーム同期信号、スタッフ指定信号、監視制御信号等を含んでいる。速度変換用メモリ19(19-1~19-k、以下、この節において単にメモリ19と称する)において、高速クロックをK分周したクロックを書き込みクロックとしてそれぞれの低速信号がメモリ19に書き込まれる。この際、フレームカウンタ22からの削除タイミング信号により、フレーム同期信号、スタッフ指定信号、監視制御信号等はメモリ19には書き込まれない。また、それぞれの低速信号中のスタッフ指定信号によりスタッフ判定が行われる。この結果、スタッフが行われていると判定されたフレームにおいては、フレームカウンタ22からの削除タイミング信号により、スタッフ信号のメモリ19への書き込みは行われない。つまり、メモリ19へ書き込まれる信号は、送信部に入力された低速信号のみである。

したがって、このメモリ 19 の内容を連続したクロックにより読み出せば、送信部に入力された低速信号が得られる。メモリ 19 は送信部と同様、数ビットから数十ビットの容量をもつ一種のエラスティックメモリであり、シーケンシャルに書き込み、読み出しが行えるメモリである。メモリ 19 への書き込みクロックは、高速クロックを K 分周したクロックであるから、この書き込みクロックは局所的には高速クロックに同期している。しかし、フレーム同期信号、スタッフ信号、スタッフ指定信号、監視制御信号等はメモリ 19 へは書き込まないため、十分長時間にわたって、書き込みクロックによって実際に書き込まれたクロック数を考えると、送信部に入力される低速信号と等しいクロック数になっている。したがって、メモリ 19 への書き込みクロックを平均化することにより、送信部へ入力された低速信号に同期した連続した読み出しクロックが得られる。クロックの平均化には、位相同期発信器 (PLL、Phase Locked Loop) が多く用いられる。

【0043】送信部の速度変換用メモリの構成

図 11 に送信部の速度変換用メモリの一例のブロック図を示す。速度変換用メモリは各系統の低速信号ごとに同一の構成の速度変換用メモリが設けられている。そのため、図 11 に示されているのはその中の一系統の速度変換用メモリのブロック図である。速度変換用メモリはエッジトリガの D タイプフリップフロップにより構成し、この例では容量は 4 ビットである。そして、図 12 にこの速度変換用メモリの動作を表すタイミング図が示されている。

【0044】書き込み信号発生器 24 においては、D タイプフリップフロップであるメモリ 23 (23-1 ~ 23-4) に入力される低速信号に同期した低速クロックを、メモリ 23 の容量だけ分周することにより書き込み信号が生成されている。ここでは、メモリ 23 の容量は 4 ビットなので低速クロックを 4 分周し、1 クロックずつずれた 4 相の書き込み信号 1 ~ 4 を生成している。それぞれの書き込み信号により、各 D タイプフリップフロップであるメモリ 23 に低速データを順次書き込む。書き込みは、低速クロックの 1 クロック間に 1 ビットずつ、メモリ 23-1 からメモリ 23-4 へ順次行われ、メモリ 23-4 への書き込みが行われたタイミングの次のタイミングでは再びメモリ 23-1 への書き込みが行われる。したがって、D タイプフリップフロップであるメモリ 23 の出力、すなわち各メモリ 23 の内容は、低速信号を 4 並列信号化したものであり、それぞれ書き込みクロックの 4 クロック分の周期を有する信号となっている。

【0045】高速クロックを K 分周したクロックは、AND ゲート 29 によって、フレーム同期信号、スタッフ信号等の挿入タイミングにおいて停止されてから、読み出し信号発生器 25 に供給されている。この供給されて

いるクロックを読み出しクロックと称する。読み出し信号発生器 25 は読み出しクロックをメモリ 23 の容量だけ分周して読み出し信号を生成する。ここでは、書き込み信号の生成と同様に前記クロックを 4 分周し、1 クロックずつずれた 4 相の読み出し信号 1 ~ 4 を生成している。読み出し信号 1 ~ 4 は、それぞれ K 分周された高速クロックの 1 クロック分の長さを持ち、フレーム同期信号、スタッフ信号等の挿入タイミングでは前記 AND ゲート 29 により停止され 2 クロック分の長さを有している。メモリ 1 ~ 4 の Q 出力と読み出し信号 1 ~ 4 とは、2 入力 AND ゲート 20 (20-1 ~ 20-4) に入力されている。そして、それぞれの AND ゲート出力信号は 4 入力 OR ゲート 31 に入力されている。4 入力 OR ゲート 31 の出力には、高速クロックを K 分周したクロックに同期した同期化低速信号が得られる。各メモリ 23 の内容は、書き込みクロックの 4 クロック分の長さの周期を有する信号となっている。換言すれば、このメモリ 23 はそのアクセス時間としては、高速クロックを K 分周したクロックの周期の 4 倍の時間を満足すればよい。

【0046】この同期化低速信号は、フレーム同期信号、スタッフ信号等の挿入タイミングでは 2 クロック分の長さをもっており、フレーム同期信号、スタッフ信号等を挿入し、 K 系統の同期化低速信号を時分割多重することにより、高速信号が得られる。

【0047】位相比較器 27 において、メモリ 23 への書き込み信号と読み出し信号の位相関係、すなわち、あるメモリ 23 への書き込みタイミングと読み出しタイミングの時間関係が検出される。両者の間隔がある規定値以上に接近すると、スタッフ要求が位相比較器 27 から出力される。この従来例では、位相比較器 27 は D タイプフリップフロップにより構成され、メモリ 23-4 の読み出し信号と書き込み信号との位相を比較している。図に示されているように、メモリ 23-4 への書き込み信号がデータ入力端子に、メモリ 23-4 からの読み出し信号がクロック入力端子にそれぞれ入力されている。この位相比較器 27 の動作が図 13 に示されている。図 13 (a) に示されているように、書き込み信号と読み出し信号が時間的にはなれている (位相差が大きい) 場合は、読み出し信号の立ち上がりタイミングにおける書き込み信号の値は “L” であるので、D フリップフロップの出力は “L” である。ところで、読み出しクロックは、書き込みクロックより速いので、時間と共に両信号の位相関係は徐々に変化し、書き込み信号に対し読み出し信号が接近してくる。やがて図 13 (b) に示されているように、書き込み信号と読み出し信号の時間差が 1 クロック以下になると (位相差が 90 度以下になると)、読み出し信号の立ち上がりタイミングにおける書き込み信号の値は “H” となるので、D フリップフロップの出力は “H” となる。

(8)

特開平5-145509

13

のスタッフ要求に基づいて、スタッフ信号の挿入が行われると、書き込み信号は1クロック分遅れるので、読み出し信号との時間差は増加し（位相差が改善され）、Dフリップフロップの出力は再び“L”となるので、スタッフ要求は解除されることになる。

【0048】フレームの途中でスタッフ要求が出力された場合は、そのままではフレーム中に複数規定されたスタッフ指定ビットのうち、フレーム先頭に近いものはすでに出力されている場合があり、そのときにはそのスタッフ指定ビットの値をスタッフ信号挿入有とすることができない場合が生じる。したがって、そのような場合にはスタッフ制御器28により、スタッフ要求が一時マスクされる。そして、スタッフ要求が出力されたフレームの次のフレームにおいて、スタッフ指定ビットをスタッフ挿入有とし、スタッフ信号の挿入を行うために、読み出し信号発生器25に入力されるクロックを停止するパルスが、スタッフ制御器28により出力される。

【0049】受信部の速度変換用メモリの構成

図14に受信部の速度変換用メモリの一例のブロック図を示す。速度変換用メモリはエッジトリガのDタイプフリップフロップにより構成され、その容量は4ビットである。図15に受信部の速度変換用メモリの一例の動作を表すタイミング図を示す。

【0050】受信部の速度変換用メモリを、以下単にメモリ32（32-1～32-4）と呼ぶ。このメモリ32に入力される同期化低速信号は、高速クロックに同期し、フレーム同期信号、スタッフ指定信号、スタッフ信号、その他の監視制御用信号等を含んでいる。スタッフ検出器34は、スタッフ指定信号を監視することによりスタッフ信号がそのフレームに挿入されているか否かを判定する。スタッフ検出器34には、受信部フレームカウンタ22からの削除タイミング信号中のスタッフ指定信号削除タイミング信号が供給されており、この信号によってスタッフ検出器34はスタッフ指定信号のタイミングを知ることができる。この際、同期化低速信号中の複数のスタッフ指定信号を検出し、多数決を行って、そのフレームにスタッフ信号が挿入されているかどうかを判定している。そして、スタッフ信号挿入有と判定された場合は、スタッフ信号の削除を行うために、書き込み信号発生器33に入力されるクロックを停止するパルスが、スタッフ検出器34から出力される。

【0051】このように、K分周した高速クロックを、受信部フレームカウンタ22からのパルス削除タイミング信号やスタッフ判定器からのスタッフ信号削除タイミング信号によって停止することにより、書き込みクロックを生成する。この書き込みクロックは書き込み信号発生器33に供給される。

【0052】書き込み信号発生器33は、上述した書き込みクロックを、メモリ32の容量だけ分周して書き込み信号を生成する。ここでは、クロックを4分周し

14

クロックずつずれた4相の書き込み信号1～4を生成している。書き込み信号1～4は、それぞれK分周された高速クロック1クロック分ずつの時間差を有し、フレーム同期信号、スタッフ信号等の削除タイミングでは2クロック分の時間差を有している。それぞれの書き込み信号により、各Dタイプフリップフロップすなわちメモリ32-1～32-4に、同期化低速データを書き込む。書き込みは1ビットずつメモリ32-1からメモリ32-4へ順次行われ、メモリ32-4への書き込みが行われたタイミングの次のタイミングにおいては、メモリ32-1への書き込みが行われるが、フレーム同期信号、スタッフ指定信号、スタッフ信号等が挿入されているタイミングでは書き込みは行われない。したがって、各メモリ32には、同期化低速信号に含まれている信号のうち、送信部に入力された低速信号を構成する信号のみが、送信部に入力された時間順序を保って書き込まれている。したがって、各メモリ32の内容を、連続した（送信部において書き込みに用いられた低速クロックと同一の周波数の）低速クロックを読み出しクロックとして読み出すことにより、送信部に入力された低速信号が、出力として得られる。

【0053】各同期化低速信号の受信部のメモリ32への書き込みクロックは、高速クロックをK分周したクロックに基づいて生成されたものであり、それぞれの同期化低速信号中に挿入されている削除すべき信号（低速信号以外の信号）のタイミングでは停止されたクロックである。そのため、局所的には高速信号に同期しているが、十分長い期間においては送信部に入力された低速信号と同期しており、各書き込みクロックを平均化することにより、送信部に入力された各低速信号と同期したクロックが得られる。したがって、この得られたクロックを読み出しクロックとすることで送信部に入力された低速信号を再生することが可能である。

【0054】このクロックの平均化はPLLを用いて行われる。図16に、PLLを構成する位相比較器37の一例が示されている。この例では位相比較器として、EXORゲートが用いられている。書き込みクロックと読み出しクロックとをそれぞれ4分周し、“H”となっている時間と“L”となっている時間が等しい、すなわち2クロック間が“H”で、2クロック間が“L”であるような信号をそれぞれ生成する。両信号をEXORゲートの2つの入力に入力すると、図に示されているように、両信号の時間差（位相差）に応じて、デューティ（“H”になっている時間の割合）の変化する信号が得られる。この変化の様子が、図16（a）から図16（c）に示されている。

【0055】この信号を低域通過フィルタを通過させることにより平均化して、PLL内部のVCOに印加することにより、平均化された読み出しクロックを生成することが可能である。

15

【0056】

【発明が解決しようとする課題】従来のスタンプ同期方式は以上のように構成されていたので、特に数10Mb/s以上の速度を持つ高速信号の同期化に適用する際には、高速動作をする素子を多数必要とし、消費電力が増え、そのため、発熱量が大きくなるという問題があった。また、その結果、回路設計上の裕度にも制約があるという課題があった。

【0057】本発明は上記課題を解決するためになされたものであり、低速動作をする素子を用いて構成されたにもかかわらず、高速な信号の同期化へ適用することが可能なスタンプ同期方式を得ることを目的とする。このような構成のスタンプ同期方式は、消費電力および発熱量が小さく、回路設計上の裕度も改善されたスタンプ同期方式を得ることを目的とする。

【0058】

【課題を解決するための手段】上記目的を達成するために、請求項1にかかる本発明は、デジタル信号にスタンプビットを付加することにより、前記デジタル信号を前記デジタル信号と独立のクロックに同期化して同期化信号を得、前記同期化信号を送信する送信側と、前記同期化信号を受信して、元の前記デジタル信号を再生する受信側と、を有するスタンプ同期方式において、前記送信側は、前記デジタル信号を一時的に蓄える送信側記憶手段と、前記記憶手段に前記デジタル信号を順次書き込む送信側書き込み手段と、前記記憶手段から複数ビットの前記デジタル信号を同時に読み出す送信側読み出し手段と、前記記憶手段への書き込みタイミングと、前記記憶手段からの読み出しタイミングとを比較し、その比較結果に基づき前記送信側読み出し手段の読み出しアドレスを調整することにより、スタンプビットの挿入を制御する読み出し制御手段と、を備え、前記送信側読み出し手段から並列の同期化信号を出力し、前記受信側は、前記並列の同期化信号を一時的に蓄える受信側記憶手段と、前記並列の同期化信号から、スタンプビット以外の複数の情報ビットを前記記憶手段に同時に書き込む受信側書き込み手段と、前記記憶手段から、書き込まれた前記情報ビットを順次読み出す受信側読み出し手段と、前記並列の同期化信号から、書き込まれるべきビットと、削除すべきビットとを判定し、前記受信側書き込み手段を制御する書き込み制御手段と、を備え、前記受信側読み出し手段から前記送信側に入力したデジタル信号を出力することを特徴とする並列型スタンプ同期方式である。

【0059】請求項2にかかる本発明は、デジタル信号からスタンプビットを削除することにより、前記デジタル信号を前記デジタル信号と独立のクロックに同期化して同期化信号を得、前記同期化信号を送信する送信側と、前記同期化信号を受信して、元の前記デジタル信号を再生する受信側と、を有するスタンプ同期方式において、前記送信側は、前記デジタル信号を一時的に蓄える

(9)

特開平5-145509

16

送信側記憶手段と、前記記憶手段に前記デジタル信号を順次書き込む送信側書き込み手段と、前記記憶手段から複数ビットの前記デジタル信号を同時に読み出す送信側読み出し手段と、前記記憶手段への書き込みタイミングと、前記記憶手段からの読み出しタイミングとを比較し、その比較結果に基づき前記送信側読み出し手段の読み出しアドレスを調整することにより、スタンプビットの削除を制御する読み出し制御手段と、を備え、前記送信側読み出し手段から並列の同期化信号を出力し、前記受信側は、前記並列の同期化信号を一時的に蓄える受信側記憶手段と、前記並列の同期化信号に、スタンプビットを付加して前記記憶手段に同時に書き込む受信側書き込み手段と、前記記憶手段から、書き込まれた内容を順次読み出す受信側読み出し手段と、前記並列の同期化信号に、スタンプビットを付加すべきか否かを判定し、前記受信側書き込み手段を制御する書き込み制御手段と、を備え、前記受信側読み出し手段から前記送信側に入力したデジタル信号を出力することを特徴とする並列型スタンプ同期方式である。

20 【0060】請求項3にかかる本発明は、請求項1または2記載の並列型スタンプ同期方式において、前記送信側読み出し手段は、可変分周器を用いて構成されていることを特徴とする並列型スタンプ同期方式である。

【0061】請求項4にかかる本発明は、請求項1または2記載の並列型スタンプ同期方式において、前記受信側書き込み手段は、可変分周器を用いて構成されていることを特徴とする並列型スタンプ同期方式である。

30 【0062】請求項5にかかる本発明は、請求項1または2記載のスタンプ同期方式において、前記送信側は、前記送信側読み出し手段からの並列の同期化信号を直列の同期化信号に変換する並列直列変換手段、を有し、前記直列の同期化信号を出力し、前記受信側は、前記直列の同期化信号を並列の同期化信号に変換する直列並列変換手段、を有し、前記変換された並列の同期化信号が、前記受信側記憶手段に書き込まれることを特徴とする並列型スタンプ同期方式である。

40 【0063】請求項6にかかる本発明は、請求項3記載のスタンプ同期方式において、前記送信側は、書き込みクロックと読み出しクロックとの位相を比較する位相比較手段を有し、前記送信側読み出し手段は、前記位相比較手段からの位相差情報を調べることにより前記書き込みタイミングと読み出しタイミングの比較をし、その比較結果により、前記可変分周器の分周比を切り替えることを特徴とする並列型スタンプ同期方式である。

【0064】

【作用】本発明によるスタンプ同期方式は、以上のように、並列同期化信号を送受信する送信側と受信側とから構成されている。

【0065】送信側における送信側読み出し手段と、読み出し制御手段とは、スタンプビットを削除する送信側記憶手段と、前記記憶手段に前記デジタル信号を順次書き込む送信側書き込み手段と、前記記憶手段から複数ビットの前記デジタル信号を同時に読み出す送信側読み出し手段と、前記記憶手段への書き込みタイミングと、前記記憶手段からの読み出しタイミングとを比較し、その比較結果に基づき前記送信側読み出し手段の読み出しアドレスを調整することにより、スタンプビットの削除を制御する読み出し制御手段と、を備え、前記送信側読み出し手段から並列の同期化信号を出力し、前記受信側は、前記並列の同期化信号を一時的に蓄える受信側記憶手段と、前記並列の同期化信号に、スタンプビットを付加して前記記憶手段に同時に書き込む受信側書き込み手段と、前記記憶手段から、書き込まれた内容を順次読み出す受信側読み出し手段と、前記並列の同期化信号に、スタンプビットを付加すべきか否かを判定し、前記受信側書き込み手段を制御する書き込み制御手段と、を備え、前記受信側読み出し手段から前記送信側に入力したデジタル信号を出力することを特徴とする並列型スタンプ同期方式である。

手段から、並列同期化信号を生成するのに必要な複数のビットを同時に読み出す。したがって、並列同期化信号のクロック信号の並列数分の一の低速のクロックで、送信側読み出し手段と読み出し制御手段とを動作させることが可能である。

【0066】一方、受信側における受信側書き込み手段と、書き込み制御手段とは、同時に受信した並列同期化信号のうち、原デジタル信号の再生に必要な複数のビットを同時に受信側記憶手段に書き込む。したがって、並列同期化信号のクロック信号の並列数分の一の低速のクロックで、受信側書き込み手段と書き込み制御手段とを動作させることが可能である。

【0067】以上のことは、請求項1にかかるいわゆる正スタップ同期方式においても、また請求項2にかかる負スタップ同期方式においても成立する。

【0068】また、送信側における送信側読み出し手段としては、可変分周器を用いることが簡便な手法である。さらにまた、受信側における受信側書き込み手段としても、可変分周器を用いることが簡便な方法である。

【0069】ところで、上述した並列スタップ同期方式において、生成された並列同期化信号は一般的にはそのまま並列に伝送されるが、並列直列変換装置によって直列信号に変換してから伝送されるようにしても好適である。

【0070】また、書き込みタイミングと読み出しタイミングとの比較には、書き込みクロックと読み出しクロックとの位相の比較をする位相比較手段を用いるのが簡便な方法である。

【0071】

【実施例】本発明の好適な実施例を図面に基づいて説明する。まず、送信側の構成及び動作を説明し、次に受信側の構成及び動作を説明する。

【0072】送信側

図1には、本発明の送信側の一実施例の機能ブロック図が示されている。並列同期化信号のビット数を N 、記憶手段の容量を M とする。図2は、本実施例において、スタップ動作が行われなかった場合の動作を示すタイミング図である。図3は、本実施例において、正スタップ動作が行われた場合の動作を示すタイミング図である。図4は、本実施例において、負スタップ動作が行われた場合の動作を示すタイミング図である。

【0073】入力信号 a は、まず、容量 M のバッファメモリからなる記憶手段42に記憶される。そして、記憶手段42の内容は可変分周器からなる読み出し手段44によって読み出される。さらに、位相比較手段2が、書き込みクロック b と読み出しクロックとの位相を比較する。この位相差情報に基づいて、読み出し制御手段43は可変分周器44のアドレスを調整することにより、スタップビットが、 N 並列の並列同期化信号 c に挿入される。なお、可変分周器44が発生する読み出しクロック

はクロック源5が発生するクロックと同期して発生する。

【0074】次に送信側の動作について、図2、図3及び図4を参照して説明する。

【0075】記憶手段42に対する書き込みと呼び出しは、その $0 \sim (M-1)$ 番地に、番地順に行われる。送信側読み出し手段を構成する可変分周器44は、 N 並列の並列同期化信号 c の速度のクロックを動作クロックとし、通常（スタップビットが挿入されない場合）は、 N ずつカウントアップ動作を行う。そして、読み出し制御手段43からの制御により、スタップビットを挿入する必要があるときは $0 \sim (N-1)$ のカウントアップ動作を行う。この可変分周器44の出力は記憶手段42のアドレスとして用いられるため、いずれの場合もその出力は、 $0 \sim (M-1)$ の範囲内である。すなわち、カウントアップ動作により $M-1$ より大きな値となるときは、可変分周器44の出力は0にラップアラウンドする。

【0076】 N 並列の並列同期化信号 c を構成する各ビットは、直列信号に変換した場合の位相の早い順に $\#1 \sim \#N$ と呼ぶ。

【0077】入力信号 a は、それと同期した書き込みクロック b によって順次容量 M の記憶手段42に書き込まれる。

【0078】スタップが行われない場合の動作

スタップが行われない場合の動作が図2に示されている。入力信号 a は、従来の構成と同様に、それと同期した書き込みクロック b によって容量 M の記憶手段42に順次書き込まれる。クロック源5より出力されたクロックを多重化の数だけ分周してから、さらに N 分周して、直列の同期化信号 c の速度の N 分の1、すなわち N 並列の同期化信号 c の速度の読み出しクロックを生成する。図2に示されている例のように、スタップビットを含まない出力タイミングにおいて、送信側読み出し手段である可変分周器の出力が n であるとする、メモリ1の n 番目から $(n+N-1)$ 番目までの N ビットの連続する記憶手段42の内容を読み出し、書き込まれたタイミングの早い順に N 並列の同期化信号 c の $\#1 \sim \#N$ に出力する。次の出力タイミングにおいては、可変分周器44の出力は N カウントアップして $(n+N)$ となり、記憶手段42の $(n+N)$ 番目から $(n+2N-1)$ 番目までの N ビットの連続する内容を読み出し、同様に N 並列の同期化信号 c として出力する。

【0079】正スタップが行われる場合の動作

正スタップが行われる場合の動作が図3に示されている。入力信号 a の速度が読み出しクロックの速度より遅い場合には、以下のように同期化信号 c 中にスタップビットを挿入する。まず、位相比較手段2によって書き込みクロック b と読み出しクロックの位相関係が比較される。その結果、両クロックの位相関係が悪化している、すなわち、あるメモリへの書き込みのタイミングと、そ

のメモリからの読み出しのタイミングが、誤りを起こさないようにあらかじめ設定されたしきい値より接近していると判断されたならば、記憶手段42からの読み出しを制御することにより、N並列の同期化信号cにスタッフビットが挿入される。スタッフビット1ビットを挿入する出力タイミングにおいては、1つ前のスタッフビットを挿入しない出力タイミングにおいて、可変分周器44の出力がnであった場合、読み出し制御手段43により可変分周器44のインクリメント量が(N-1)に設定され、その結果、可変分周器44の出力は(n+N-1)となる。そして、記憶手段42の(n+N-1)番目から(n+2N-2)番目までのNビットの連続するメモリ内容を読み出し、書き込まれたタイミングの早い順にN並列の同期化出力信号の#1~#Nに出力する。従って、該出力タイミングにおける#1出力には、1つ前の出力タイミングにおける#N出力と同じ(n+N-1)番目のメモリ内容が出力されることになり、入力信号aのビット順序が保存されたまま、スタッフビット1ビットが挿入されたことになる。スタッフビットが挿入されたタイミングの次の出力タイミングであって、スタッフビットを挿入しない出力タイミングにおいては、可変分周器44の出力はNだけインクリメントされて(n+2N-1)となり、メモリ1の(n+2N-1)番目から(n+3N-2)番目までのNビットの連続するメモリ内容を読み出し、上述した場合と同様にN並列の同期化信号cに出力する。

【0080】なお、必要なフレーム同期ビットやスタッフ指定ビット等の挿入タイミングにおいても、上述したのと同様に可変分周器44のインクリメント量を制御することにより、前記各種ビットを挿入することが可能になり、N並列の同期化信号cを得る。

【0081】負スタッフが行われる場合の動作

負スタッフが行われる場合の動作が図4に示されている。入力信号aの速度が読み出しクロックの速度より速い場合には、以下のように入力信号aが削除される。まず、位相比較手段2によって書き込みクロックbと読み出しクロックの位相関係が比較される。その結果、両クロックの位相関係が悪化している、すなわち、あるメモリへの書き込みのタイミングと、そのメモリからの読み出しのタイミングが、誤りを起こさないようあらかじめ設定されたしきい値より離れていると判断されたならば、記憶手段42からの読み出しを制御することにより、入力信号aを削除する。すなわち、入力信号1ビットを削除する出力タイミングにおいては、1つ前の負スタッフを行わない出力タイミングにおいて、可変分周器44の出力がnであった場合、読み出し制御手段43により可変分周器44のインクリメント量が(N+1)に設定され、その結果、可変分周器44の出力は(n+N+1)となる。そして、記憶手段42の(n+N+1)番目から(n+2N)番目までのNビットの連続する記

憶手段42の内容を読み出し、書き込まれたタイミングの早い順にN並列の同期化信号cの#1~#Nに出力する。すなわち、(n+N)番目のメモリ内容は読み出されない。従って、他の入力信号aのビット順序が保存されたまま、1ビットが削除されたことになる。負スタッフが行われたタイミングの次の出力タイミングであって、負スタッフを行わない出力タイミングにおいては、可変分周器44の出力はNだけインクリメントされて(n+2N+1)となり、記憶手段42の(n+2N+1)番目から(n+3N)番目までのNビットの連続する記憶手段42の内容を読み出し、上述した場合と同様にN並列の同期化信号cに出力する。

【0082】なお、必要なフレーム同期ビットやスタッフ指定ビット等の挿入タイミングにおいては、上述した正スタッフの場合と同様に、可変分周器44のインクリメント量を制御して同一のメモリ内容を読み出すことにより、N並列の同期化信号cを得る。

【0083】受信側

次に受信側の構成と動作を説明する。

【0084】図5には、本発明の受信側の一実施例の機能ブロック図が示されている。並列同期化信号のビット数を送信側と同様にN、記憶手段の容量をLとする。

【0085】受信された並列同期化信号dは、可変分周器からなる受信側書き込み手段によって、容量Lのバッファメモリからなる記憶手段47に書き込まれる。この書き込みのタイミングは受信クロックeによって指定される。この際、並列同期化信号dの中から、書き込むべきビットを選択するための判定が、書き込み制御手段46によって、行われる。また、可変分周器45が発生する書き込みクロックと電圧制御発振器11が発生する受信側読み出しクロックとの位相の比較が位相比較手段9によって行われる。この位相差情報は、低域ろ波器10を介して電圧制御発振器11に加えられ、その出力周波数を制御している。

【0086】次に受信側の動作について説明する。

【0087】記憶手段47に対する書き込みと呼び出しは、その0~(L-1)番地に、番地順に行われる。受信側書き込み手段を構成する可変分周器45は、N並列の並列同期化信号dの速度の受信クロックeを動作クロックとし、通常(スタッフビットが挿入されていない場合)は、Nずつカウントアップ動作を行う。そして、書き込み制御手段46からの制御により、スタッフビットを除去する必要があるときは0~(N-1)のカウントアップ動作を行う。この可変分周器45の出力は記憶手段47のアドレスとして用いられるため、いずれの場合もその出力は、0~(L-1)の範囲内である。すなわち、カウントアップ動作によりL-1より大きな値となるときは、可変分周器の出力は0にラップアラウンドする。

【0088】N並列の並列同期化信号dは、書き込まれた

(12)

特開平5-145509

21

ットは、送信側と同様に直列信号に変換した場合の位相の早い順に#1～#Nと呼ぶ。

【0089】スタックが行われない場合の動作

スタックビットを含まない入力タイミングにおいて、受信側書き込み手段である可変分周器45の出力がnであるとする、可変分周器45により、N並列の同期化信号dと同期したクロックを用いて、N並列の同期化信号dの#1～#Nを記憶手段47のn番目から(n+N-1)番目までのNビットの連続する記憶手段47の領域に書き込む。次の入力タイミングにおいては、可変分周器45の出力はNだけインクリメントされ、(n+N)となり、同様にN並列の同期化信号dを記憶手段47の(n+N)番目から(n+2N-1)番目までのNビットの連続するメモリに書き込む。

【0090】正スタックが行われた場合の動作

正スタックが行われた場合、書き込み制御手段46において、N並列の同期化信号d中のスタック指定ビットから、正スタックの有無を判定し、正スタックがなされているすなわちスタックビットが挿入されていると判断されたならば、記憶手段47への書き込みを制御することによりスタックビットが削除される。

【0091】1つ前のスタックビットを含まない入力タイミングにおいて、可変分周器45の出力がnであるとする、書き込み制御手段46により可変分周器45を(N-1)だけインクリメントし、その出力を(n+N-1)とする。N並列の同期化信号dのうち、スタックビットを除く(N-1)系統の入力信号を、(n+N)番目から(n+2N-2)番目までの(N-1)ビットの連続する記憶手段47の領域に書き込む。記憶手段47の(n+N-1)番目には書き込みを行わず、1つ前の入力タイミングにおいて、書き込まれた信号が保存される。

【0092】次のスタックビットを含まない入力タイミングにおいては、可変分周器45はNだけインクリメントされ、その出力は(n+2N-1)となり、N並列の同期化信号dを(n+2N-1)番目から(n+3N-2)番目までのNビットの連続する記憶手段47に書き込む。なお、上述した場合と同様に、可変分周器45のインクリメント量を調節することにより並列同期化信号dからフレーム同期ビットやスタック指定ビット等を除いて記憶手段47に書き込むことが可能である。従って、入力信号のビット順序は保存され、記憶手段47内には、送信側の入力信号aが再生されている。

【0093】負スタックが行われた場合の動作

負スタックが行われた場合、書き込み制御手段46において、N並列の同期化信号d中のスタック指定ビットから、負スタックの有無を判定し、負スタックがなされているすなわち削除された信号が存在すると判断されたならば、記憶手段47への書き込みを制御することにより送信部において削除された信号を再び挿入する。

22

【0094】1つ前の削除された信号がないと判断された入力タイミングにおいて、可変分周器45の出力がnであったとすると、書き込み制御手段46により可変分周器45を(N+1)だけインクリメントし、その出力を(n+N+1)とする。N並列の同期化信号dを、(n+N+1)番目から(n+2N)番目までのNビットの連続する記憶手段47の領域に書き込む。(n+N)番目のメモリには書き込みを行わず、以前に書き込まれた信号が保存されている。この部分を送信部において削除された信号と見なせば、送信部において削除された信号を擬似的に再び挿入したことになる。

【0095】次の削除されたビットが存在しない入力タイミングにおいては、可変分周器45の出力はNだけインクリメントされ、その出力は(n+2N+1)となる。その結果、N並列の同期化信号dは、(n+2N+1)番目から(n+3N)番目までのNビットの連続する記憶手段47の領域に書き込まれる。

【0096】なお、フレーム同期ビットやスタック指定ビット等は、上述したのと同様に、可変分周器45のインクリメント量を調節することにより並列同期化信号dから取り除いて記憶手段47に書き込まれる。従って、並列同期化信号dのビット順序は保存され、記憶手段47内には、負スタックにより削除されて再び挿入された信号をのぞけば、送信側の入力信号aがそのまま再生されていることになる。

【0097】従来の構成と同様に、書き込まれた並列同期化信号dを、VCOから出力されるクロックから生成された読み出しクロックにより順次読み出しを行い、出力信号fを得る。位相比較手段9は、書き込みクロックと読み出しクロックの位相の比較を行っている。その比較結果は、低域ろ波器10を通過することにより平均化されてVCOに印加される。このようなPLL回路によって、VCOの発振周波数は制御され、その結果、送信部への入力信号に同期したクロックが再生される。従って、このクロックを用いて読み出しを行えば、出力信号には、送信部への入力信号が得られることになる。

【0098】また、送信側の出力信号を時系列順にビット多重することにより、簡単に従来のスタック同期方式にて得られるものと、同じ直列の出力信号を得ることができる。

【0099】本発明によるスタック同期方式は、数1.0 Mbit/s以上の速度を持つ高速信号の同期化に適用する場合でも、各構成素子の実際の動作速度は低速となるように構成可能であるので、経済的な装置を実現することが可能である。

【0100】

【発明の効果】以上述べたように本発明によれば、送信側記憶手段に書き込んだ低速のデジタル信号の複数ビットをを同時に読み出されて送信される。また、受信側では、この送信された信号を受信し、受信側記憶手段に同

(13)

特開平5-145509

23

時に書き込み、順次読み出される。したがって、各構成素子の動作速度を低速に保ったまま、伝達速度の大きなスタップ同期方式が得られるという効果を有する。

【図面の簡単な説明】

【図1】本発明による並列スタップ同期方式における送信側の一実施例の機能ブロック図である。

【図2】図1に示された送信側において、スタップ動作が行われなかった場合の動作を示すタイミング図である。

【図3】図1に示された送信側において、正スタップ動作が行われた場合の動作を示すタイミング図である。

【図4】図1に示された送信側において、負スタップ動作が行われた場合の動作を示すタイミング図である。

【図5】本発明による並列スタップ同期方式における受信側の一実施例の機能ブロック図である。

【図6】従来のスタップ同期方式における送信部の多重化回路前段の構成を表す機能ブロック図である。

【図7】従来のスタップ同期方式における受信部の分離回路後段の構成を表す機能ブロック図である。

【図8】従来のスタップ同期方式におけるフレーム構成例を示す構成図である。

【図9】従来のスタップ多重回路の送信部のブロック構成図である。

【図10】従来のスタップ多重回路の受信部のブロック構成図である。

【図11】従来のスタップ多重回路の送信部の速度変換メモリの構成ブロック図である。

24

【図12】図11の速度変換用メモリの動作を表すタイミング図である。

【図13】図11に示されている位相比較器の動作を表す説明図である。

【図14】従来のスタップ多重回路の受信部の速度変換メモリの構成ブロック図である。

【図15】図14の速度変換用メモリの動作を表すタイミング図である。

【図16】図14に示されているPLLを構成する位相比較器の動作説明図である。

【符号の説明】

- 1 送信側記憶手段
- 2 位相比較手段
- 3 読み出し制御手段
- 4 送信側読み出し手段
- 5 クロック源
- 6 受信側書き込み手段
- 7 書き込み制御手段
- 8 記憶手段
- 9 位相比較器
- 10 低域ろ波器
- 11 電圧制御発振器
- 42 記憶手段
- 43 読み出し制御手段
- 44, 45 可変分周器
- 46 書き込み制御手段
- 47 記憶手段

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.